

1. Vorwort

Herzlichen Glückwunsch!

Mit dem Kauf der Baugruppe FL01 haben Sie eine preisgünstige, zuverlässige Floppy-Disk-Controller-Karte erworben, die Ihren Computer zu einem System macht.

Dieses Handbuch soll Ihnen beim Aufbau behilflich sein, es soll Ihnen die Funktion der Baugruppe näherbringen und im Falle eines Falles bei der Fehlersuche Unterstützung gewähren.

Sollten Sie zunächst nur das Handbuch gekauft haben, soll es Ihnen bei der Entscheidung, die Baugruppe aufzubauen, behilflich sein.

Bitte beachten Sie, dass eine Vervielfältigung oder Nachdruck dieses Handbuches nur mit unserer ausdrücklichen, schriftlichen Genehmigung erfolgen darf.

2. Stückliste

Prüfen Sie bitte zunächst Ihren Bausatz auf Vollständigkeit. Die folgenden Stücklisten helfen Ihnen dabei.

FL01P

- 1 Platine FL01
- 1 Handbuch FL01

FL01B

- 1 Platine FL01
- 1 Handbuch FL01
- 14 IC-Sockel 14-polig
- 12 IC-Sockel, 16-polig
- 1 IC-Sockel, 18-polig
- 2 IC-Sockel, 20-polig
- 1 IC-Sockel, 40-polig

1	74LS02	4-fach NOR	J9
1	74LS03	4-fach NAND	J7
2	74LS04	6 Inverter	J11, J27
1	74 06	6 Inv., Open Coll.	J28
2	74LS32	4-fach OR	J1, J10
2	74LS38	4 NAND, O.K.	J23, J30
3	74LS74	2-fach D-Flip-Flop	J8, J15, J21
3	74LS85	4-fach Vergleicher	J2, J3, J4
1	74LS123	2-fach Monoflop	J26
1	74LS153	4 zu 1 Multiplexer	J16
2	74LS161	4-Bit Zähler, prog.	J0, J25
1	74LS174	6-fach D-Flip-Flop	J13
1	74LS175	4-fach D-Register	J22
2	74LS245	4-fach Bustreiber	J5, J6
1	74LS321	Oszillator/Teiler	J14
2	74LS367	6-fach Bustreiber	J29
1	WD2143	4-Phasen Takt	J17
1	WD1797	Floppy-Disk-Contr.	J18
1	MOT4024	VCO	J19
1	MOT4044	Phase Locked Loop	J24
1	7805	5V Spannungsregler	
1	2N3704	Transistor	Tr1
1	4.0000 MHz	Quarz 4 MHz	Q1
1	10..60 pf	Trimmer Keramisch	T1
1	6.. 25 pf	Trimmer keramisch	T2
1	4.7 mH	Spule	L1 gelb/vio/brn
	(sieht aus wie ein Widerstand!)		

Widerstände

7	220 Ohm	Rot/Rot/Brn	R10, 13, 14, 15, 18-20
1	750 Ohm	Vio/Grün/Brn	R8
1	820 Ohm	Grau/Rot/Brn	R7
5	1 KOhm	Brn/Schw/Rot	R1, 2, 9, 11, 12
2	2.2 KOhm	Rot/Rot/Rot	R16, R17
1	3.09 KOhm	Org/Schw/W/Brn	R3 (ev. Trimmer)
3	10 KOhm	Brn/Schw/Org	R4, 5, 6

Kondensatoren

8	10 uF	Elko	C1, 2, 3, 4, 5, 6, 7, 10
1	18 pf	Kondensator, ker.	C9
1	10 nF	Wickel	C8
1	DIL8	DIL-Schalter 8-Fach	S1
1	VG64	Steckerleiste, 64 pol.	

1 ST50 Steckerleiste, 50 pol.

3. Funktion der Platine

Achtung: Die Platine funktioniert nicht mit einem 1:1 Bus. Im mc-CP/M Computer wird der ECB-Bus mit Daisy chain für IOI und IOE verwendet. D.h: c11 von Einbauplatz 1 ist mit c16 von Einbauplatz 2 verbunden usw.

Die Baugruppe arbeitet mit dem Floppy-Disk-Controller WD 1797 von Western Digital. Dieser Controller erzeugt alle zum Betrieb der Floppy notwendigen Signale.

Bei der folgenden Beschreibung bedeutet J ein IC, die Ziffer vor dem Schrägstrich die Nummer dieses ICs im Schalt- und Bestückungsplan und die Ziffer nach dem Schrägstrich, sofern vorhanden, die Pinnummer dieses ICs.

Signale mit einem "*" bedeuten Low-Aktiv; im Schaltplan wird hier ein Strich über den Signalnamen gemacht.

Die Adressleitungen A0 bis A7 gelangen an zwei 4-Bit Vergleicher 74LS85, J2 und J4. J2 ist über J2/6 mit J4/2,3,4 kaskadiert. Mit J3 werden nochmals die Adressleitungen A2 und A3 verglichen; der Ausgang von J3 wird mit dem Ausgang der ersten beiden Vergleicher über J9/2,3 verodert und gibt den Datenbustreiber J6 über J6/19 (OE*) nur dann frei, falls die Adressen zwischen 40H und 43H liegen. Hier muss die im Schalt- und Bestückungsplan angegebene Brückenlegung gewählt sein.

Die Richtung, in die der bidirektionale Treiber J6 treiben soll, wird über J6/1 festgelegt; dieser Pin ist mit RD* verbunden.

Durch die gewählte Decodierung liegt der Prozessorbaustein auf den Adressen 40H bis 43H - auf 44H liegen über J4/6 die Steuerports J12 und J13.

Über J13 werden Daten vom Steuerport übernommen - das Einschreiben geschieht beim Ansprechen der Adresse 44H durch ein WR* an J13/9. Die Datenbits haben folgende Bedeutung:

Bit	Signal	Bedeutung	Durch IC
0	DS1	Drive-Select 1	J13/2-J30/12,11
1	DS2	Drive-Select 2	J13/5-J30/10,8
2	DS3	Drive-Select 3	J13/7-J30/4,6
3	DS4	Drive-Select 4	J13/10-J30/1,3
4	+		
5		Takt-Umschaltung	Siehe Text
6		Autowait-Freigabe	Siehe Text
7		Ohne Bedeutung	

Über die Datenleitungen 4 und 5 wird der Takt umgeschaltet. Der von J14 erzeugte Takt von 4 (6) MHz liegt als 2 MHz-Takt an J14/13 und als 1 MHz-Takt an J14/6. Datenbit 4 auf 1 und DB5 auf 0 ergibt über J16 2 MHz Takt zum 1797; liegen die Bits umgekehrt, werden 1 MHz an den CLK-Eingang des J18 geführt. Ebenso wird der vom Separator kommende Takt halbiert oder nicht.

Weiter wird hiermit der vom VCO, J19 kommende Takt umgeschaltet. Die folgende Tabelle zeigt die Zustände:

Bit5	Bit4		CLK(J18/24)	Seperat.(J16/7)
0	0	8" FM	2 MHz	8 MHz
0	1	8" MFM	2 MHz	16 MHz
1	0	5 1/4" FM	1 MHz	4 MHz
1	1	5 1/4" MFM	1 MHz	8 MHz

Die Datenleitung 6 wird schon vor dem Bustreiber J6 über J11/3,4; J10/5,6 zum Flip-Flop 74LS74 J8 geführt. Ist dieses Datenbit auf "1", so wird in J6 der Ausgang J6/5 ebenfalls "1" (die feste "1" an J8/2 wird mit der steigenden Flanke übernommen) - über J7/6 erzeugt sich damit der Rechner selbst ein WAIT*-(Warten) Signal.

J10/4 verundet das Datenbit noch mit der Adressdecodierlogik, so dass nur bei Adresse 44H diese Auto-Wait-Schaltung funktioniert.

Das Auto-Wait-FF J8 wird von einem DRQ-Signal des 1797 wieder zurückgesetzt.

Da bis zum Eintreffen eines DRQ einige Zeit (bis zu 200 ms) verstreichen kann, darf dieses Auto-Wait nur bei Rechnern mit statischen Speichern eingesetzt werden, da sonst bei dynamischen Speichern auf Grund fehlender Refreshs Datenverluste eintreten. Beim mc-CP/M-Computer ist dieses Auto-Wait nicht nötig, da bei 4 MHz CPU-Takt bei 8" Single Density und bei 6 MHz MFM ohne Wait gefahren werden kann.

Über die Adresse 44H (34H) können auch einige Informationen von der FLO1-Karte zurückgelesen werden. Dieses Statusport besteht aus J12, an das die Signale INTRQ (J12/6,7), DRQ (J12/4,5) und HEAD LOAD (J12/2,3) gelegt sind. Dieses Port ist demnach wie folgt belegt:

Bit	Bedeutung
7	DRQ
6	INTRQ
5	HEAD LOAD
6 ..0	Ohne Bedeutung

Hinweis: Diese Tabelle ist in der mc, Heft 11/82, Bild6 leider falsch abgedruckt.

J5 erzeugt über eine frei wählbare Drahtbrücken- oder DIL-Schalter Kombination einen Interrupt-Vektor. Im Schaltplan ist die Kombination 1101 0111B = D7H eingezeichnet; dies entspricht dem (8080) RST2-Befehl, der seinen Einsprung bei der Adresse 0010H besitzt.

Der Anschluss eines z.B. 8"-Laufwerkes erfolgt über ein 50-poliges Kabel, an das parallel mehrere Drives angeschlossen werden können. Die Auswahl erfolgt über die Drive-Select-Leitungen DS1 ... DS4, die mit entsprechenden Jumpers auf den Laufwerken übereinstimmen müssen.

Einige Signale von und zu den Laufwerken werden dem 1797 direkt zugeleitet bzw. von ihm ausgesandt. Es sind dies:

Signal	Bedeutung
WRITE-PROT*	Write-Protect=Schreibschutz: Auf die Diskette darf nicht geschrieben werden
INDEX*	Das Index-Loch in der Soft-Sektorierten Diskette wurde erkannt
TKO*	Trak (=Spur) Null ist angefahren
READY*	Laufwerk ist bereit
WG*	Write-Gate, gibt Schreibstrom frei
DIRC*	Richtung, in der der Schreib-Lesekopf bewegt werden soll

STEP* Anzahl der Schritte

TG43* Spur 43 erreicht

WD* I

RAW DATA* I > Siehe Text

HEAD LOAD* I

Vom 1797 in Verbindung mit dem Baustein 2143 werden die Daten WD* zum Laufwerk gesandt.

J17, der 4-Phasen-Takt-Generator, erzeugt , nachdem er an J17/11 getriggert wurde, vier aufeinanderfolgende Taktsignale. Welches dieser Taktsignale zur Floppy gesandt wird, wird durch die Zustände der Ausgänge Late (J18/18) und Early (J18/17) bestimmt. WD(J18/31) taktet diese Ausgangssignale in das Flip-Flop J22, dessen Ausgänge J22/2,15,7 über J38 einen etwas früheren, "normalen" oder späteren Zeitpunkt zum Schreiben auswählen.

Dieses Verfahren nennt man Schreib-Vor-Kompensation (Write-Precompensation)

Die Lage dieser Taktsignale kann über den Widerstand an J17/17 eingestellt werden. Bei 8" Single-Density und 5 1/4" ECMA70 genügt hier ein Festwiderstand von 3.09 kOhm.

Die gelesenen Daten kommen über RAW DATA* zurück. Aus diesen Daten muss zunächst der Takt extrahiert werden. An der Güte dieses Daten oder Taktseparators unterscheiden sich die verschiedenen Floppy-Controller-Schaltungen. FL01 verwendet hier einen sehr aufwendigen Separator mit einer Kombination aus digitaler und analoger Regelung.

Die ankommenden gemischten Daten-Taktsignale werden über J21 und J26 zunächst dem Controller an J18/26 angeboten. J20,25,24,T1,J19 und J15 dienen dazu, den Takt zu separieren und J18 an J18/26 anzubieten.

J26 legt die Pulsbreite zunächst auf ca. 180 ns fest.

Die Regelung ist der aufwendigste Teil der Schaltung. Wir haben hier eine Kombination aus digitaler und analoger Regelung eingesetzt, die sehr zuverlässig und nachbausicher arbeitet.

J20 wird über J21/8 auf 9 (1001B=J20/3,4,5,6) geladen und zählt bis 16 hoch. Beim Durchgang durch 16 wird der Ripple Carry Ausgang J20/15 kurz aktiv. Dieser Ausgang wird zum VCO, bestehend aus J24,T1 und J19 geführt. Dieser Oszillator erzeugt ebenfalls einen Takt, der ja mit dem Floppy-Taktdaten synchronisiert werden soll - die Regelung soll "einrasten".

Dieser erzeugte Takt von J19/8,6 wird abhängig von der Lage des Steuerports, der ja die Betriebsart bestimmt, geteilt und an J15 geführt, einem Zähler, der fest durch 16 teilt. Der Ripple-Carry-Ausgang dieses Zählers gelangt ebenfalls an die Phase Locked Loop Schaltung J24, die dadurch die Frequenz so nachregelt, dass beide RCs gleichzeitig erscheinen.

Damit ist der von FL01 erzeugte Takt auf den ursprünglichen Aufzeichnungstakt auf der Diskette eingerastet und wird dem Controller über J15 an J18/26 (RawClock) angeboten.

Der Regler 7805 erzeugt eine extra geregelte Gleichspannung aus den +12V von +5V für den analogen Teil.

4. Aufbau und Inbetriebnahme

Falls Sie die Baugruppe zusammen mit SYS1 und FL01 benutzen wollen, können Sie das Verdrahtungsfeld mit einer Säge oder einer Schlagschere abtrennen. Messen Sie dazu von hinten 160 mm ab, reißen Sie an und sägen Sie dann. Achten Sie bitte nach dem Trennen an der Trennstelle auf abgerissene Leiterbahnen, die Sie sorgfältig entfernen. Wir liefern die Platinen auch ohne Verdrahtungsfeld.

Prüfen Sie zunächst die Platine auf eventuelle Brücken zwischen den Leiterbahnen, die durch Fehler in der Fertigung entstanden sein können. Solche Fehler sind zwar sehr, sehr selten, jedoch wenn sie auftreten, erzeugen sie eine Menge Schwierigkeiten. Gemeinerweise treten solche Brücken meist nie auf der Lötseite, sondern immer nur unter ICs auf.

Legen Sie dann die Platine mit der Lötseite (mit "löts" bezeichnet) nach unten auf ein Stück Styropor und bestücken Sie alle IC - Sockel. Auch wenn Sie keinen Bausatz gekauft haben: Verwenden Sie unbedingt für alle ICs Präzisions - IC - Sockel! Sonst ist eine spätere Fehlersuche fast unmöglich.

Achten Sie darauf, dass die richtigen Sockel an der richtigen Stelle eingesetzt werden. Drehen Sie nun die Platine mit dem Styropor um, legen Sie sie mit den Sockeln auf eine feste Unterlage und verlöten Sie zunächst von jedem Sockel zwei diagonale Beinchen.

Prüfen Sie nun nochmals die richtige Bestückung! Achten Sie darauf, dass die Sockelkennung für Pin 1 der ICs richtig liegt. Verlöten Sie nun endgültig alle Beinchen. Achten Sie auch darauf, ob sich vielleicht ein Beinchen beim Einsetzen des Sockels umgebogen hat!

Löten Sie dann alle passiven Bauteile und den VG 64 Stecker ein. Die im Stromlaufplan und im Bauschaltplan eingezeichneten Brücken (neben J2) entsprechen den Portadressen 40-4F für 8" Laufwerke (Brücke=0, keine Brücke=1). Für 5 1/4" Laufwerke ist hier die Adresse 30-3F einzustellen. Bestücken Sie sodann alle ICs, bis auf die beiden WD-Typen 1797 und 2143

Achtung: Im Betrieb der Baugruppe haben sich zwei Fehler ergeben, die eine Gerätestandsänderung von GS1 nach GS2 und dann nach GS3 ergaben.

Bauen Sie nun diese Änderungen ein:

1. Hochrüsten Änderung GS1 auf GS2

Bei Platinen mit Rev.2 (r2 od. rev2) ist diese Änderung bereits im Layout berücksichtigt.

Änderungsgrund: Fehler bei Fremdinterruptbehandlung, Side-Select für Doppelkopflaufwerke geht nicht und Schreibstrom wird bei den inneren Spuren der 8"-Laufwerken nicht erhöht.

2. Änderungsbeschreibung:

Leiterbahn Verbindung J1/9 nach VG-Leiste c21 trennen.

Germaniumdiode AA118 von J1/9(Kathode) nach VG c21(Anode)

Verbindung J8/25 nach J23/2 herstellen.

Verbindung J23/3 nach Floppy-Stecker, Pin 14 herstellen.

Leiterbahn von J29/6 nach Floppy-Stecker 8 auftrennen.

Verbindung J29/6 nach Floppy-Stecker 2 herstellen (TG43)

3. Hochrüsten von GS2 auf GS3

4. Änderungsgrund

Abgleich mit Trimmer 1 und 2 in Grenzfällen nicht möglich

Trimmer mit Werten wie in Stückliste einbauen:

TR1 alt 6-25 pf, neu 10-60 pf

TR2 alt 3-12 pf, neu 6-25 pf

Dadurch erhöht sich der Gerätestand auf GS3.

Stecken Sie die Baugruppe in Ihr System - falls Sie das angehängte Wrap-Feld benutzen, müssen Sie zuvor hier noch die entsprechenden Verbindungen zu Ihren Bussignalen hergestellt haben. (Platinen mit Wrap-Feld nur auf Sonderwunsch)

Nach dem Einstecken der Baugruppe sollte der Rechner weiter so funktionieren wie bisher. Der Monitor muss sich melden. Ist dies nicht der Fall, so liegt ein Kurzschluss vor. Entfernen Sie alle Bustreiber oder alle ICs, um den Fehler einzugrenzen.

Messen Sie die Versorgungsspannungen am 1797, J18:

J18/40 : +12V
J18/20 Ground
J18/21 +5V

Messen Sie am Sockel für den 2143, J17:

J17/9 Ground
J17/18 +5V
J17/17 +12V (wird geringer beim gesteckten IC)

Geben Sie (z.B. mit Hilfe des Monitors/Beschreibung in SYS1H Ausg.2.) das folgende kleine Testprogramm ein, das die Ports testet:

Beachten Sie dass bei 5 1/4" Laufwerken die Portadressen 30/34 verwendet werden.

Adresse	Daten	Befehle	Bemerkungen
0100	DB40	LOOP:IN 40H	;Port 40 einlesen..
0102	D340	OUT 40H	;..und wieder ausg.
0104	DB44	IN 44H	;Port 44 einlesen.
0106	AF	XRA A	;Akku löschen
0107	D344	OUT 44H	;..und 0 ausgeben
			;Kein Select oder
			;Autowait
0109	18F5	JMPR LOOP	;Rücksprung

Nach Start dieses Testprogrammes müssen am J18/3 (CS*) zwei negative Pulse erkennbar sein(vom OUT 40H/30H und IN 40H/30H)
An J13/9 muss ein negativer Puls erscheinen (vom OUT 44H/30H)
An J6/19 müssen vier negative Impulse sichtbar sein (4 mal Lesen oder Schreiben).

Sind diese Impulse nicht sichtbar, so ist die Decodierschaltung zu überprüfen.

Nach Ausschalten der Versorgungsspannung sind die restlichen ICs einzusetzen. Mit dem Monitor-Befehl (mc-CP/M-Monitor!)

QI40

kann der Status des Controllers, der 0 oder 1 sein kann, eingelesen werden. Nun wird geprüft, ob Schreib - Lese - Befehle möglich sind:

Befehl(8")	Bedeutung	5 1/4"
Q042 55	Ausgabe 55 an Port 42H	Q032 55
QI42	"55" muss wieder erscheinen	QI32

Q042 AA	Ausgabe "AA" an 42H ...	Q032 AA
QI42	... und zurücklesen	QI32

Können diese Werte nicht zurückgelesen werden, so liegt ein Kurzschluss auf den Datenleitungen vor.

OI44	Muss 0001 1111B oder etwas ähnliches ergeben	QI34
	Kein DRQ, INT oder HEAD DOWN.	

Nun kann das Laufwerk mit dem Controller verbunden werden. Beachten Sie hier, besonders bei MINI-Floppies, die abweichende Signalbelegung.

Für Mini-Floppy-Laufwerke haben wir eine kleine Adapterplatine im Lieferprogramm, die die unterschiedlichen Signalbelegungen anpasst. Das CP/M-Betriebssystem ist bei uns als offizieller Digital Research Distributor in der 8" oder 5 1/4"-Version erhältlich.

Zum ersten Test des Anschlusses wird ein RESORE-Befehl durchgeführt. Die Floppy muss natürlich vorher mit ihren Betriebsspannungen versehen worden sein. Das von uns empfohlene Netzgerät erzeugt alle zum Betrieb von zwei 8"-Laufwerken nötigen Gleichspannungen.

RESTORE-Befehl bedeutet, dass die Floppy Grundstellung einnehmen muss und den Kopf über Spur 0 positionieren muss.

Befehle(8")	Bedeutung	5 1/4"
Q044 1	Drive-Select 1	Q034 1
Q040 0F	Restore-Befehl	Q030 0F

Die Floppy sollte sich nun kurz geregt haben, die rote LED geleuchtet haben. War der Kopf schon über Spur 0, bewegt sich nichts weiter, ansonsten wird der Kopf nun über Spur 0 positioniert.

Nun erfolgt der Abgleich des Datenseparators. Dazu wird ein Oszilloskop am Pin 24 des Controllers J18/24 (Clk) angeschlossen und kontrolliert:

Befehl(8")	Gemessener Takt	5 1/4"
Q044 0	2 MHz	Q034 0
Q044 10	2 MHz	Q034 10
Q044 20	1 MHz	Q034 20
Q044 30	1 MHz	Q034 30

Nun wird das Messgerät an J18/26 (RCLK) angeschlossen und wie folgt abgeglichen:

Ausgabe auf Port 44/34	Abgleich	Trimmer.	Zeit
0	250 KHz	TR1	4 us
10H	500 KHz	TR2	2 us
20H	125 KHz		8 us
30H	250 KHz		4 us

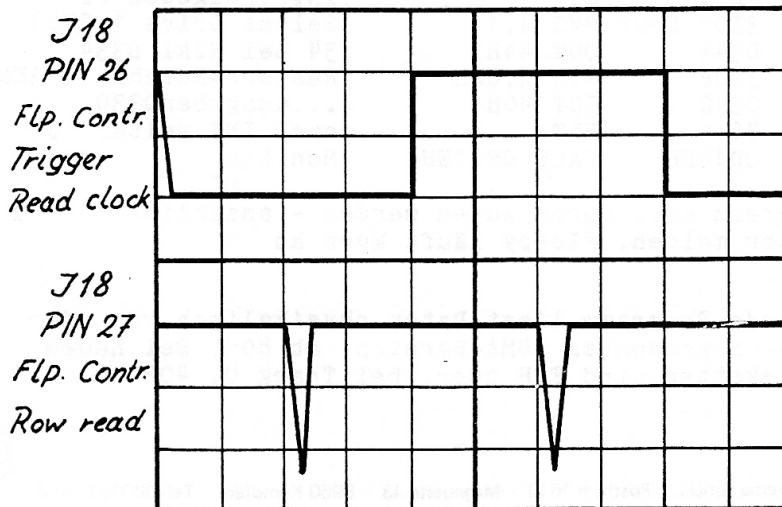
Sollten die Werte nicht genau stimmen, kann dies am Trimmer liegen - (Änderungsanweisung GS2--GS3)

Zum Feinabgleich benötigen Sie eine formatierte Diskette; verwenden Sie bitte nicht Ihre Original CP/M-Diskette! Formatierte Disketten erhalten Sie im Handel (z.B. BASF) oder natürlich bei uns.

Geben Sie dann das folgende Programm ein:
(Beachten Sie auch hier die geänderten Portadressen bei 5 1/4" Laufwerken).

Adresse	Daten	Befehl	Bedeutung
0100	3E01	LOOP:MVI A,01H	;Select Drive 0
0102	D344	OUT 044H	;Steuerport
0104	3E0F	MVI A,0FH	;Restore-Befehl
0106	D340	OUT 040H	;ausgeben
0108	18F6	JMPR LOOP	

Messen Sie am Pin 27 des Controllers (RAW READ) und am Pin 26 (RCLK): Es muss sich ein Oszillogramm ergeben, das etwa wie folgt aussieht:



Die Lage des Taktes ist hier nicht wesentlich; wichtig ist, dass eine der beiden Takteinheiten immer in der Mitte des Taktes erscheinen muss. Mit den Trimmern kann die Lage nochmals korrigiert werden, bis das Bild stabil ist.

Bei der Ausführung eines RESTORE-Befehles muss nach dem Befehl im Statusregister der Wert 0 oder 0010 0000B stehen, solange der Befehl noch nicht ausgeführt ist.

Nun wird der SEEK-Befehl geprüft:

Befehl(8")	Reaktion	5 1/4"
Q044 1	Select Drive 1	Q034 1
Q043 20	Spur 20 wird selektiert ...	Q033 20
Q040 1F	... und angefahren	Q030 1F
QI40	0000 0000B oder 0010 0000B	QI30

Nun erfolgt der Test des Interrupt-Systems. Dazu wird das folgende Testprogramm eingegeben: Beachten Sie dabei, dass bei Adresseingaben immer zuerst das Niederwertige, dann das höherwertige Adressbyte eingegeben werden muss!

Adresse	Daten 8"	Befehl	Bedeutung Daten/ 5 1/4"
0010	DB40	IN 40H	;Lösche INT DB30
0012	FB	EI	;Gebe Frei FB
0013	C9	RET C9	
;			
;			
0100	FB	EI	;INT freigeben FB
0101	3E01	LOOP:MVI A,1	;Select Drive 1 3E01
0103	D344	OUT 44H	;34 bei MINI D334
0105	3E0F	MVI A,0FH	;Restore-Befehl... 3E0F
0107	D340	OUT 40H	;...ausgebenD330
0109	76	HLT	;nach INT weiter 76
010A	CD1EF0	CALL 0F01EH	;Monitor

Das Programm muss durchlaufen werden - anschliessend muss sich der Monitor melden. Floppy läuft kurz an

Das folgende Programm liest Daten physikalisch von der Floppy in einen sogenannten DMA-Bereich ab 80H. Bei neuen, formatierten Disketten wird E5H oder, bei Track 0, 40H eingelesen.

Im Registerpaar D,E werden Track und Sektor übergeben; im D steht die Spur, im E der Sektor.

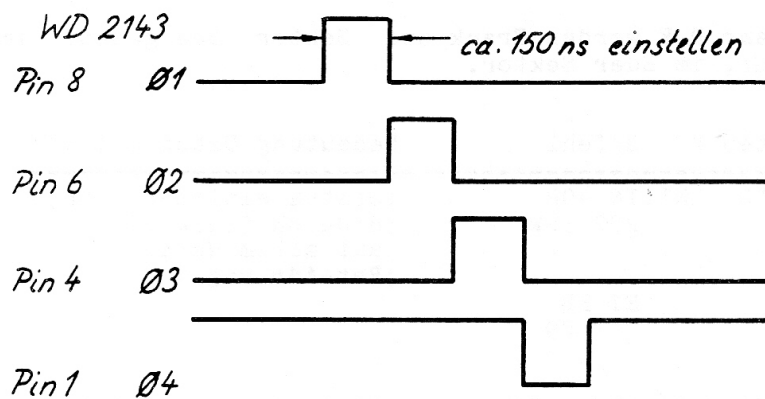
Adresse	Daten 8"	Befehl	Bedeutung Daten 5 1/4"
0010	DB40	INT:IN 40H	;Status einlesen DB30
0012	F1	POP PSW	;dadurch Stack F1 ;auf altem Wert: ;Ret-Adr weg
0013	FB	EI FB	
0014	C9	RET C9	
;			
;			
0100	218000	ST:LXI H,80H	;Ziel-Adresse 218000
0103	110100	LXI D,0001H	;Track 0, Sektor 1 110100
0106	010001	LXI B,100H	;Lesen Drive 0 010001
0109	CD24F0	CALL 0F024/7H	;Ausführen CD27F0
010C	CD1EF0	CALL 0F01EH	;Monitor CD1EF0

Letzter Test: Einstellen der Schreib-Precompensation.

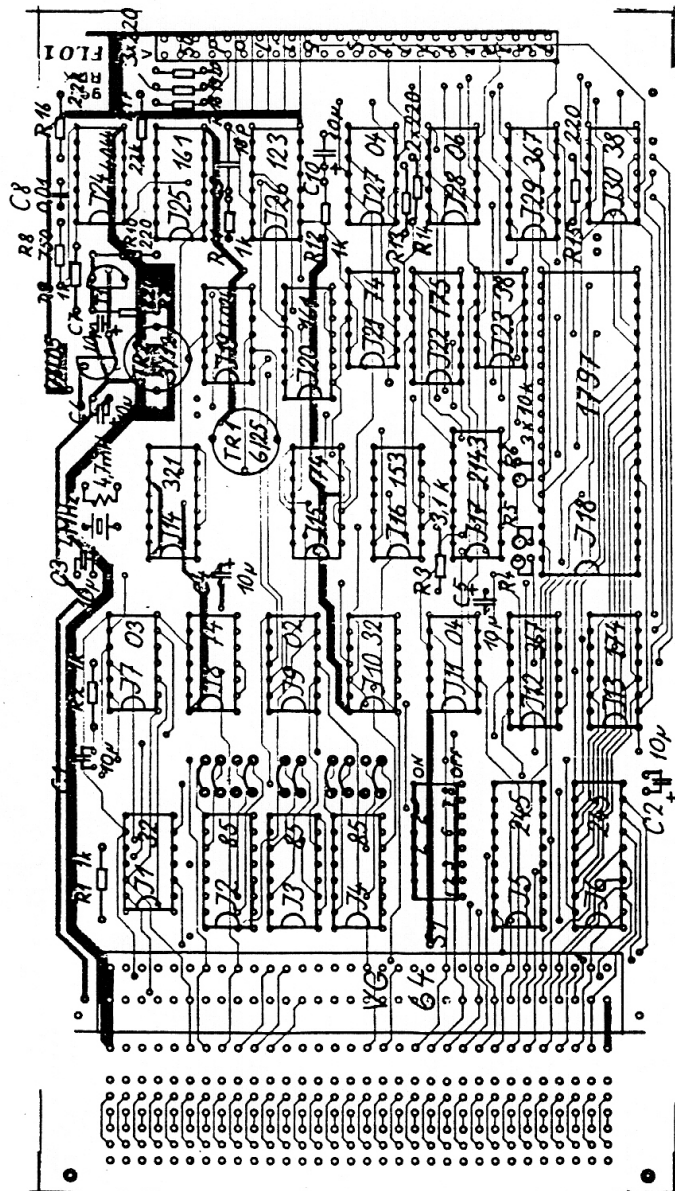
Dazu wird das folgende Programm eingegeben, das laufend schreibt:

Adresse	Daten	Befehl	Bedeutung Daten 5 1/4"
0010	DB40	INT:IN 40H	;Status einlesen DB30
0012	F1	POP PSW	;dadurch Stack F1 ;altem Wert: ;Ret-Adr weg
0013	FB	EI FB	
0014	C9	RET C9	
;			
;			
0100	218000	LO:LXI H,80H	;Quelladresse 218000
0103	110100	LXI D,1	;Spur=0, Sek=1 110100
0106	010002	LXI B,200H	;Write Drive=0 010002
0109	CD24F0	CALL 0F024/7H	;Floppy Call CD27F0
010C	CD12F0	CALL 0F012H	;Abbruch CD12F0
010F	C41EF0	CNZ 0F01EH	;dann Monitor - C41EF0
0112	18EC	JMPR LO	;weiter sonst. 18EC

Bei laufendem Programm ist mit dem 3.1 k Widerstand oder einem Trimmer am J17/17 das folgende Bild abzugleichen, wobei bei einem 3.1 KOhm - Festwiderstand der Abgleich einfällt.



Das komplette BIOS-Listing ist bei uns auf Diskette oder Papier im Source erhältlich.



1	$10^{1/2}$	11.22, 6.2
2	10^3	13.683

